

(43)公開日 平成12年9月8日(2000.9.8)

| (51)Int.Cl. <sup>7</sup> | 識別記号   | F I              | ページ* (参考)           |
|--------------------------|--------|------------------|---------------------|
| H 0 1 L                  | 23/12  | H 0 1 L          | L 4 M 1 0 9         |
|                          | 21/56  |                  | R 5 F 0 6 1         |
|                          | 21/60  |                  | Z                   |
|                          | 23/28  |                  | 6 0 2 L             |
|                          | 25/065 |                  | W                   |
|                          |        | 審査請求 未請求 請求項の数18 | 〇 L (全 14 頁) 最終頁に続く |

(21)出願番号 特願平11-44919

(22)出願日 平成11年2月23日(1999.2.23)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 究明者 川原 登志実

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 松木 浩久

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100072590

井理士 井柝 貞一

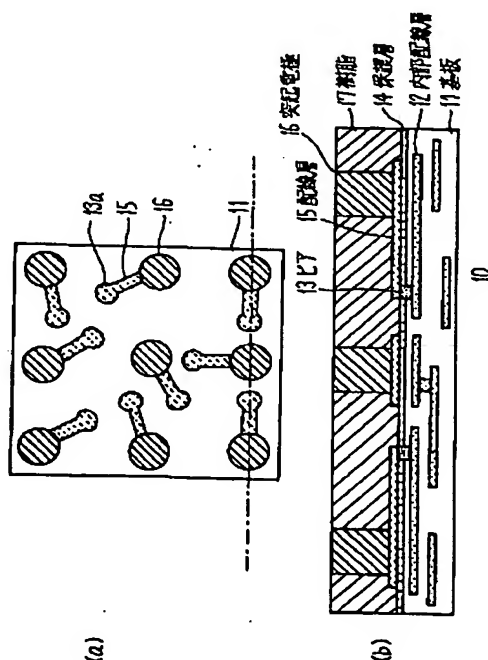
**最終頁に続く**

(54) 【発明の名称】 半導体装置とその製造方法

(57)【要約】

【課題】 チップ上の最適な位置に外部接続端子となる突起電極を設ける際に、チップ面積のロス及び電気的特性の劣化を最小限にとどめることを目的とする。

【解決手段】 半導体基板と、該半導体基板内に形成された電子回路と、該電子回路の端子と接続された内部配線層と、該半導体基板上の任意の位置で該内部配線層と接続され、該半導体基板上に形成された保護層から表出されたビアと、該ビアと接続され、該保護層上に形成された配線層と、該配線層と接続され、所定の高さを有する突起電極と、該半導体基板及び該突起電極の側面を封止する封止樹脂とを有する半導体装置により課題を解決する。



## 【特許請求の範囲】

【請求項 1】半導体基板と、

該半導体基板内に形成された電子回路と、  
該電子回路の端子と接続された内部配線層と、  
該半導体基板上の任意の位置で該内部配線層と接続さ  
れ、該半導体基板上に形成された保護層から表出された  
ビアと、  
該ビアと接続され、該保護層上に形成された配線層と、  
該配線層と接続され、所定の高さを有する突起電極と、  
該半導体基板及び該突起電極の側面を封止する封止樹脂  
とを有することを特徴とする半導体装置。

【請求項 2】該突起電極上にバンパを形成することを特  
徴とする請求項 1 記載の半導体装置。【請求項 3】該封止樹脂の側面と該半導体基板の側面と  
がダイサで切断された共通の平面を有することを特徴  
とする請求項 1 記載の半導体装置。【請求項 4】該ビアが該電子回路の入力トランジスタの  
入力端または出力トランジスタの出力端に直接接続され  
ることを特徴とする請求項 1 記載の半導体装置。【請求項 5】該封止樹脂が圧縮成形された樹脂であるこ  
とを特徴とする請求項 1 記載の半導体装置。【請求項 6】該配線層が該ビアと該突起電極とを最短距  
離で接続することを特徴とする請求項 1 記載の半導体装  
置。【請求項 7】該ビアの直径が該配線層の幅と同等かそれ  
より小さいことを特徴とする請求項 1 記載の半導体装  
置。【請求項 8】半導体基板上に電子回路を形成する工程  
と、該電子回路のトランジスタの入力端子または出力端子と  
接続される内部配線層を形成する工程と、該半導体基板上に該電子回路を保護する保護層と形成す  
る工程と、該半導体基板の任意の位置で該内部配線層と接続され、  
該保護層から表出するビアを形成する工程と、該ビアと接続され、該保護層上に形成された配線層と、  
該配線層と接続され、所定の高さを有する突起電極を形  
成する工程と、該半導体基板を金型内にセットし、該半導体基板表面及  
び該突起電極の側面を圧縮成形により樹脂封止する工程  
とを有することを特徴とする半導体装置の製造方法。【請求項 9】該半導体基板を複数半導体ウエハ上に形成  
し、それぞれダイサにより切断する切断工程を有する  
ことを特徴とする請求項 8 記載の半導体装置の製造方  
法。【請求項 10】該樹脂封止された半導体基板をエッチパ  
ックすることにより該突起電極の先端が該保護層から表  
出することを確実にするエッチバック工程を有すること  
を特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 11】該突起電極の先端にバンパを形成するバ

ンパ形成工程を有することを特徴とする請求項 8 記載の  
半導体装置の製造方法。

【請求項 12】半導体基板と、

該半導体基板内に形成された電子回路と、  
該電子回路の端子と接続された内部配線層と、  
該半導体基板上の任意の位置で該内部配線層と接続さ  
れ、該半導体基板上に形成された保護層から表出された  
ビアと、

該ビアと接続され、該保護層上に形成された配線層と、  
該配線層と接続され、テープに支持されたテーブリード  
と、該半導体基板及び該テーブリードを封止する封止樹脂と  
を有することを特徴とする半導体装置。【請求項 13】内部に形成された電子回路の端子が表面  
の周囲に設けられた電極パッドに接続された第 1 の半導  
体装置と、該第 1 の半導体装置より一片の長さが短く、該第 1 の半  
導体装置上に接着された第 2 の半導体装置と、該第 2 の半導体装置として請求項 1 記載の半導体装置を  
用い、該第 2 の半導体装置の配線層と該第 1 の半導体装  
置の電極パッドとを接続することを特徴とする半導体装  
置。【請求項 14】請求項 1 記載の半導体装置を用いた第 1  
の半導体装置と、該第 1 の半導体装置より一片の長さが短く、該第 1 の半  
導体装置上に回路面を向かい合わせに搭載され、請求項  
1 記載の半導体装置を用いた第 2 の半導体装置と、  
該第 1 及び第 2 の半導体装置の配線層どうしをバンパに  
より接続することを特徴とする半導体装置。【請求項 15】請求項 14 記載の半導体装置において、  
該第 1 の半導体装置が搭載されていない該第 2 の半導体  
装置の配線層上に突起電極を設け、該第 1、第 2 の半導  
体装置及び該突起電極を樹脂封止することを特徴とする  
半導体装置。

【請求項 16】半導体基板と、

該半導体基板内に形成された電子回路と、

該電子回路の端子と接続された内部配線層と、

該半導体基板上の任意の位置で該内部配線層と接続さ  
れ、該半導体基板上に形成された保護層から表出されたビアと、  
該ビアと接続され、該保護層上に形成され、ワイヤがボ  
ンディングされる領域を有する配線層とを有し、該配線層が、ワイヤボンディングされ得る所定の領域を  
有していることを特徴とする半導体装置。

【請求項 17】半導体基板と、

該半導体基板内に形成された電子回路と、

該半導体基板上の任意の位置で該電子回路の端子と接続  
され、該半導体基板上に形成された保護層から表出され  
たビアと、

該ビアの直上で該ビアと接続され、該保護層上に形成さ

れた配線層と、

該配線層と接続され、所定の高さを有する突起電極と、  
該半導体基板及び該突起電極の側面を封止する圧縮成形  
された封止樹脂とを有することを特徴とする半導体装  
置。

【請求項 18】半導体基板上に電子回路を形成する工程  
と、

該電子回路のトランジスタの入力端子または出力端子と  
接続される内部配線層を形成する工程と、

該半導体基板上に該電子回路を保護する保護層と形成す  
る工程と、

該半導体基板の任意の位置で該内部配線層と接続され、

該保護層から表出するビアを形成する工程と、

該ビアと接続され、該保護層上に形成された配線層と、

該配線層と接続され、所定の高さを有する突起電極を形  
成する工程と、

該半導体基板を金型内にセットし、該半導体基板表面及  
び該突起電極の側面を圧縮成形により樹脂封止する工程  
と、

該突起電極に試験プローバを接触させ、該電子回路を試  
験する工程とを有することを特徴とする半導体装置の製  
造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置とその  
製造方法に係わり、特にチップサイズパッケージ(以下  
CSP)構造を有する半導体装置とその製造方法に関す  
る。

【0002】半導体装置の形状を半導体素子(以下チッ  
プ)に極力近づけるために、チップ上に外部出力端子を  
設け、これを樹脂で封止した構造の半導体パッケージが  
提案されている。

【0003】

【従来の技術】図11～図13は従来のCSPの一例を  
示す図であり、図11はその平面図であり、図12はそ  
の断面図であり、図13は図11の透視図である。図中  
1100はCSP構造の半導体チップを示し、1101  
は半導体基板を示し、1102はチップ内部に形成され  
た電子回路と接続される内部配線層を示し、1103は  
アルミニウム等で形成され、内部配線層と接続されたビ  
アを示し、1104はチップ上にポリイミドで形成され  
た保護層を示し、1105は銅で形成され、保護層11  
04から表出したビア1103と接続された配線層を示  
し、1106は配線層1105上に形成された突起電極  
を示す。図13は絶縁膜1104より上の層を取り除い  
た場合の状態を示している。

【0004】図12には示されていないが、チップ11  
00は突起電極1106の先端部が露出するように樹脂  
によって封止されパッケージングされる。

【0005】外部端子となる突起電極1106の位置

は、配線層1105によりチップ周囲に形成されたパッ  
ド1108の位置からずらした位置にあり、図11の例  
ではチップ外周部にあるパッド1108の位置が、配線  
層1105により内部領域に再配置されている。この再  
配置により、突起電極のピッチをパッドのピッチより拡  
大することができ、回路基板へ実装する際に突起電極ど  
うしがショートするような不都合をなくすることができ  
る。

【0006】

【発明が解決しようとする課題】しかしながら、図13  
に示されるパッド1108は、ワイヤボンディングのパ  
ッドをそのまま用いていたので100 $\mu$ m $\times$ 100 $\mu$ m程  
度の面積を占めており、この面積の分だけチップの大型  
化を招くとともに、チップ内のトランジスタ等の素子数  
の減少を招く問題点があった。

【0007】また、配線層は必ずしもチップ周囲に形成  
されているパッドと突起電極とを最短距離で接続するこ  
とができないので、電気的特性の劣化を招く問題点があ  
った。

【0008】従って本発明は、チップ上の最適な位置に  
外部接続端子となる突起電極を設ける際に、チップ面積  
のロス及び電気的特性の劣化を最小限にとどめることを  
目的とする。

【0009】

【課題を解決するために手段】上記の課題は、以下の手  
段を講じることにより解決することができる。

【0010】請求項1記載の発明では、半導体基板と、  
該半導体基板内に形成された電子回路と、該電子回路の  
端子と接続された内部配線層と、該半導体基板上の任意  
の位置で該内部配線層と接続され、該半導体基板上に形  
成された保護層から表出されたビアと、該ビアと接続さ  
れ、該保護層上に形成された配線層と、該配線層と接続  
され、所定の高さを有する突起電極と、該半導体基板及  
び該突起電極の側面を封止する封止樹脂とを有すること  
を特徴とする半導体装置により上記課題を解決できる。

【0011】また、請求項2記載の発明は、請求項1記  
載の半導体装置において、該突起電極上にバンパを形成  
することを特徴とするものである。

【0012】また、請求項3記載の発明は、請求項1記  
載の半導体装置において、該封止樹脂の側面と該半導体  
基板の側面とがダイサーで切断された共通の平面を有す  
ることを特徴とするものである。

【0013】また、請求項4記載の発明は、請求項1記  
載の半導体装置において、該ビアが該電子回路の入力・  
出力トランジスタの端子に直接接続されることを特徴と  
するものである。

【0014】また、請求項5記載の発明は、請求項1記  
載の半導体装置において、該封止樹脂が圧縮成形された  
樹脂であることを特徴とするものである。

【0015】また、請求項6記載の発明は、請求項1記

10

20

30

40

50

載の半導体装置において、該配線層が該ビアと該突起電極とを最短距離で接続することを特徴とするものである。

【0016】また、請求項7記載の発明は、請求項1記載の半導体装置において、該ビアの直径が該配線層の幅と同等かそれより小さいことを特徴とするものである。

【0017】また、請求項8記載の発明では、半導体基板上に電子回路を形成する工程と、該電子回路のトランジスタの入力端子または出力端子と接続される内部配線層を形成する工程と、該半導体基板上に該電子回路を保護する保護層と形成する工程と、該半導体基板の任意の位置で該内部配線層と接続され、該保護層から表出するビアを形成する工程と、該ビアと接続され、該保護層上に形成された配線層と、該配線層と接続され、所定の高さを有する突起電極を形成する工程と、該半導体基板を金型内にセットし、該半導体基板表面及び該突起電極の側面を圧縮成形により樹脂封止する工程とを有することを特徴とする半導体装置の製造方法により課題を解決できる。

【0018】また、請求項9記載の発明は、請求項8記載の半導体装置の製造方法において、該半導体基板を複数半導体ウエハ上に形成し、それぞれをダイサーにより切断する切断工程を有することを特徴とするものである。

【0019】また、請求項10記載の発明は、請求項8記載の半導体装置の製造方法において、該樹脂封止された半導体基板をエッチバックすることにより該突起電極の先端が表出することを確実にするエッチバック工程を有することを特徴とするものである。

【0020】また、請求項11記載の発明は、請求項8記載の半導体装置の製造方法において、該突起電極の先端にバンプを形成するバンプ形成工程を有することを特徴とするものである。

【0021】また、請求項12記載の発明は、半導体基板と、該半導体基板内に形成された電子回路と、該電子回路の端子と接続された内部配線層と、該半導体基板上の任意の位置で該内部配線層と接続され、該半導体基板上に形成された保護層から表出されたビアと、該ビアと接続され、該保護層上に形成された配線層と、該配線層と接続され、テープに支持されたテーブリードと、該半導体基板及び該テーブリードを封止する封止樹脂とを有することを特徴とする半導体装置である。

【0022】また、請求項13記載の発明は、内部に形成された電子回路の端子が表面の周囲に設けられた電極パッドに接続された第1の半導体装置と、該第1の半導体装置より一片の長さが短く、該第1の半導体装置上に接着された第2の半導体装置と、該第2の半導体装置として請求項1記載の半導体装置を用い、該第2の半導体装置の配線層と該第1の半導体装置の電極パッドとを接続することを特徴とする半導体装置である。

【0023】また、請求項14記載の発明は、請求項1記載の半導体装置を用いた第1の半導体装置と、該第1の半導体装置より一片の長さが短く、該第1の半導体装置上に回路面を向かい合わせに搭載され、請求項1記載の半導体装置を用いた第2の半導体装置と、該第1及び第2の半導体装置の配線層どうしをバンプによりを接続することを特徴とする半導体装置である。また、請求項15記載の発明は、請求項14記載の半導体装置において、該第1の半導体装置が搭載されていない該第2の半導体装置の配線層上に突起電極を設け、該第1、第2の半導体装置及び該突起電極を樹脂封止することを特徴とする半導体装置である。

【0024】また、請求項16記載の発明は、半導体基板と、該半導体基板内に形成された電子回路と、該電子回路の端子と接続された内部配線層と、該半導体基板上の任意の位置で該内部配線層と接続され、該半導体基板上に形成された保護層から表出されたビアと、該ビアと接続され、該保護層上に形成され、ワイヤがボンディングされる領域を有する配線層とを有し、該配線層が、ワイヤボンディングされ得る所定の領域を有していることを特徴とする半導体装置である。

【0025】また、請求項17記載の発明は、半導体基板と、該半導体基板内に形成された電子回路と、該半導体基板上の任意の位置で該電子回路の端子と接続され、該半導体基板上に形成された保護層から表出されたビアと、該ビアと接続され、該保護層上に形成された配線層と、該配線層と接続され、所定の高さを有する突起電極と、該半導体基板及び該突起電極の側面を封止する圧縮成形された封止樹脂とを有することを特徴とする半導体装置である。

【0026】また、請求項18記載の発明は、半導体基板上に電子回路を形成する工程と、該電子回路のトランジスタの入力端子または出力端子と接続される内部配線層を形成する工程と、該半導体基板上に該電子回路を保護する保護層と形成する工程と、該半導体基板の任意の位置で該内部配線層と接続され、該保護層から表出するビアを形成する工程と、該ビアと接続され、該保護層上に形成された配線層と、該配線層と接続され、所定の高さを有する突起電極を形成する工程と、該半導体基板を金型内にセットし、該半導体基板表面及び該突起電極の側面を圧縮成形により樹脂封止する工程と、該突起電極に試験ブローバを接触させ、該電子回路を試験する工程とを有することを特徴とする半導体装置の製造方法である。

【0027】上述の各手段は次のような作用を有する。

【0028】請求項1記載の半導体装置は、従来設けられていたパッドが不要となるので、パッドの面積分だけチップを小型化できるとともに、パッドの占めていた部分にトランジスタ等の素子を形成でき素子数を増加できる作用を有する。

【0029】さらに、ビアをチップ上の任意の位置に形成でき、チップ内部の電子回路から直接ビアを介して配線層により突起電極に導かれるので、最短の経路で内部回路と突起電極とを接続することができるので、電気的特性を向上できる作用がある。

【0030】また、請求項2記載の半導体装置は、突起電極上にバンプを形成するので、チップをプリント基板に実装する際に、プリント基板の端子に確実に半田付けできる作用を有する。

【0031】また、請求項3記載の半導体装置は、封止樹脂の側面と半導体基板の側面とがダイサーで切断された共通の平面を有するので、チップを最小限の大きさで封止する、つまりチップサイズで封止することができる作用を有する。

【0032】また、請求項4記載の半導体装置は、ビアが電子回路の入力トランジスタの入力端または出力トランジスタの出力端に直接接続されるので、入力・出力トランジスタの端子に対し最短距離でビアを設けることができ、電気的特性を向上させられる作用を有する。

【0033】また、請求項5記載の半導体装置は、圧縮成形法により樹脂層を形成することにより、配線層15が樹脂成形時に流動する樹脂から受ける圧力が最小になり、配線層が断線する可能性を最小にすることができる作用が得られる。逆にいえば、配線層の長さが最小に設計されているので、樹脂の流動性を向上させることができ、樹脂17中にボイドが発生するのを防ぐことができる作用が得られる。また、封止樹脂が圧縮成形された樹脂であるので、樹脂に離型材を混入させる必要がなく、離型材を入れることによって犠牲にしていた樹脂の特性である密着性を失わない作用を有する。

【0034】また、請求項6記載の半導体装置は、配線層がビアと突起電極とを最短距離で接続するので、電気的特性を向上させられる作用を有する。

【0035】また、請求項7記載の半導体装置は、ビアの直径が配線層の幅と同等かそれより小さいので、ビアの存在により、チップの大型化を招くことがない作用を有する。また、請求項8記載の半導体装置の製造方法は、従来設けられていたパッドを不要にできるので、パッドの面積分だけチップを小型化できるとともに、パッドの占めていた部分にトランジスタ等の素子を形成でき素子数を増加できる作用を有する。

【0036】さらに、ビアをチップ上の任意の位置に形成できるので、突起電極とビアとを接続する配線層を最短距離で接続することができる電気的特性を向上できる作用がある。また、請求項9記載の半導体装置の製造方法は、複数の電子回路の形成された半導体基板をダイサーにより切断する切断工程を有するので、チップを最小限の大きさで封止する、つまりチップサイズで封止することができる作用を有する。

【0037】また、請求項10記載の半導体装置の製造

方法は、樹脂封止された半導体基板をエッチバックすることにより突起電極の先端が保護層から表出することを確認にするエッチバック工程を有するので、突起電極が確実に表出し、プリント基板に実装する際に確実にプリント基板の端子に接続することができる作用を有する。

【0038】また、請求項11記載の半導体装置の製造方法は、突起電極の先端にバンプを形成するバンプ形成工程を有するので、プリント基板に実装する際に確実にプリント基板の端子に半田付けすることができる作用を有する。

【0039】また、請求項12記載の半導体装置は、テーブリードを用いてチップから配線を引き出すので、ワイヤに比べてリードピッチを小さくできる作用を有する。

【0040】また、請求項13記載の半導体装置は、大きさの異なる2つの半導体装置を積層することにより、実装面積を減らすことができる作用を有する。

【0041】また、請求項14記載の半導体装置は、大きさの異なる2つの半導体装置を積層することにより、実装面積を減らすとともに、双方の半導体装置をバンプにより接続するので実装の高さも低くすることができる作用を有する。

【0042】また、請求項15記載の半導体装置は、請求項14記載の積層した半導体装置を樹脂で封止することにより、信頼性を向上させる作用を有する。

【0043】また、請求項16記載の半導体装置は、従来のワイヤボンディング装置を利用して本発明の半導体装置を実装基板に実装することができ、樹脂層を形成するための圧縮成形機を導入しなくても本発明の半導体装置を利用できる作用を有する。

【0044】また、請求項17記載の半導体装置は、ビアの直下にトランジスタの入力・出力端子があるので、電気的な遅延最小限となり、また寄生容量や寄生インダクタンスが付くことなくトランジスタの入・出力をビアに伝達することができる作用を有する。

【0045】また請求項18記載の半導体装置の製造方法は、突起電極にプローバを当てて試験を行うので、試験ポイントを任意の点に引き出してチェックできる作用を有する。特に集積度が大規模なものになると試験時間も長くなるが、本実施例を用いればチップ内の回路をある信号の流れに沿って分割したり、機能ブロック単位での試験が可能となるため、試験時間を短縮できる作用もある。さらに、チップ内の電子回路の信号を途中の段階で、その値をチェックできるので、不良箇所を特定しやすい作用もある。また、最終製品状態でのチェックが可能となる作用もある。

【0046】

【発明の実施の形態】次に本発明の実施の形態について図面と共に説明する。図1～図5は本発明の第1実施例を説明する図であり、図1(a)は第1実施例の半導体

装置の平面図を示し、図 1 (b) は図 1 (a) の一点鎖線における断面図を示し、図 2 (a) は図 1 (a) の保護層 14 より上部の構成要素を取り除いた場合を示す図である。図 3 (a) ~ 3 (e) は本発明の第 1 実施例の製造方法を説明する図であり、図 4 は図 1 (b) に示される形態にパンプを搭載した状態を示す図であり、図 5 は本発明の切断前のウエハ状態における構造を示す図である。

【0047】各図において 10 は C S P 構造の半導体装置を示し、11, 31, 41 は半導体基板を示し、12, 32, 42 はチップ内に形成され内部のトランジスタの入力・出力端と接続された内部配線層を示し、13, 33, 43 は内部配線層と接続されチップ上の任意の位置に設けられたビアを示し、14, 34, 44 はチップ上に形成された保護層を示し、15, 35, 45 は保護層から表出しビアと接続された配線層を示し、16, 36, 46 は配線層上に形成された突起電極を示し、17, 37, 47 は突起電極の頂部が表出するようにチップを封止した樹脂を示す。

【0048】本発明の第 1 実施例のチップは、図 1 に示されるように、チップ内の任意の位置にビアが設けられ、ビアと配線層との接続部 13a から配線層 15 が突起電極 16 の下側まで引き出され、その上に突起電極 16 が形成されている。

【0049】本実施例では、従来技術で示したチップ周囲に設けられた電極パッドから配線層を引き出したチップとは異なり、チップ上の任意の位置から配線層を引き出している。従って、従来技術のようにチップ内部の電子回路からの配線が、いったんチップ周囲の電極パッドに引き出されてから配線層により突起電極に導かれるという信号経路ではなく、本実施例の信号経路は、チップ内部の電子回路から直接ビアを介して配線層により突起電極に導かれるので、最短の経路で内部回路と突起電極とを接続することができる。

【0050】ビア 13 はアルミニウム等で形成され、直径 5 ~ 25  $\mu\text{m}$ 、高さ 10 ~ 50  $\mu\text{m}$  で構成され、図 1 (b) に示されるように、チップ内の内部配線層 12 と接続されている。内部配線層 12 はアルミニウムで形成され、チップ内のトランジスタ等で形成された電子回路の出力端もしくは入力端等の所定の端子と接続されている。図 1 (b) に示される例では、内部配線層 12 がトランジスタの入力・出力端子から所定の距離をおいて引き出される場合を説明しているが、ビア 13 の直下に回路が存在しなければ、トランジスタの入力・出力端子をビア 13 の直下に配置することも可能である。ビアの直下にトランジスタの入力・出力端子があれば、電気的な遅延なく、また寄生容量や寄生インダクタンスが付くことなくトランジスタの入・出力をビアに伝達することができる。また図 1 (b) では最上層の内部配線層 12 にビア 13 が接続されているが、さらに下側の配線層と接続してもよい。

【0051】ビア 13 は、内部配線層 12 と配線層 15

とを接続するためのものだが、内部配線層 12 や配線層 15 と異なる材質で形成しても、同じ材質で形成してもよい。本発明ではビアを形成する材質に関わらず、内部配線層 12 と配線層 15 とを接続しているものをビアと呼ぶ。配線層 15 は幅 25  $\mu\text{m}$  の銅で形成され、保護層 14 上に形成されている。従来の技術では、配線層はチップ周囲に設けられたボンディング用のパッドから所定位置の突起電極に引き回されていたので、パッドが不要な面積を占め、不要に長い配線層が電気的特性を劣化させていた。これに比べ、本発明の第 1 実施例は、図 2

(a) に示されるように、ビア 13 をチップ周囲に設けなければならないといった制約がないので、チップ内の任意の位置に設けることができ、ビア 13 と突起電極 16 とを接続する配線層 15 の長さを最短にすることができるので電気的特性を向上させられ、余分な配線層の引き回しのない分配線スペースも減らすことができる。なお、配線層の材質は、銅に限らず金やニッケルでもよい。

【0052】この配線層 15 は、一連のチップ製造工程が終了した後で、再度チップ上に配線を施してチップの電極（本実施例では突起電極 16）の位置を調整する作用があるので、「再配線層」と呼ばれることもある。

【0053】ビア 13 の直径は、図 2 (a) に示されるように配線層 15 の幅と同等かそれより小さく、チップ内部に形成される各内部配線層間を接続する通常のビアと同程度の直径なので、本実施例のビア 13 の存在により、チップの大型化を招くようなことはない。なお、ビアと配線層との接続部 13a は配線層 13 より幅が広がっているが、これは位置合わせの誤差を吸収し得る程度の大きさであり、実質的にチップ面積を拡大させる程の大きさではない。

【0054】図 2 (b) は、従来の技術により形成したチップ 21 の面積を示すものであり、図 2 (a) に示される本実施例により形成したチップ 20 と比べると、ほぼパッド 1108 の占めていた幅の分だけチップ面積が小さくなっている様子が示されている。

【0055】配線層 15 上の所定の位置には突起電極 16 が設けられている。この突起電極 16 が設けられる配線層 15 の端部は、突起電極に対応した形状にバターンングされている。

【0056】突起電極 16 は、メッキにより形成された銅で形成され、直径 300  $\mu\text{m}$ 、高さ 100  $\mu\text{m}$  で形成されている。突起電極 16 の配置は、実装されるプリント基板の端子の配置に対応している。突起電極 16 及びチップ 10 の表面は樹脂 17 で封止され、突起電極 16 の頂部が樹脂 17 の面から表出する。この樹脂 17 は後述するように圧縮成形法により形成された樹脂である。

【0057】以上の構成により、従来設けられていたパッドの分だけチップ面積を縮小でき、最短の配線層により電気的特性を向上させることができる。また、圧縮成形法による樹脂を用いることにより後述するような作用



効果がある。

【0058】次に、本発明の半導体装置の製造方法を図3(a)～3(e)に従って説明する。

【0059】図3(a)に示されるように、基板31上に保護層となる厚さ1 $\mu$ mのPSG/SiN層34aと厚さ10 $\mu$ mのポリイミドからなるカバー膜34bをスパッタにより形成し、ビア33部分を所定の深さエッチングして内部配線層32に到達する開口を形成する。その後アルミニウムをリフトオフ法等によりビア33内に形成する。

【0060】次に図3(b)に示されるように、基板31上全面にクロムからなる密着金属層35aをスパッタで厚さ1 $\mu$ mに形成し、さらにその上に銅からなる配線地下地金属層35bをスパッタで厚さ2 $\mu$ mに形成する。

【0061】次に図3(c)に示されるように、配線層35を形成する領域以外を配線用レジスト38で覆い、その後電解メッキにより銅を厚さ5 $\mu$ mで形成し配線層35を形成する。

【0062】次に図3(d)に示されるように、突起電極36を形成する領域以外を突起電極用レジスト39で覆い、その後電解メッキにより銅を厚さ100 $\mu$ mで形成し突起電極36を形成する。なお、突起電極36の上にこれを外部の水分による腐食を防ぐために、ニッケル、金、パラジウム等の保護金属層40を形成してもよい。

【0063】最後に図3(e)に示されるように、突起電極用レジスト39を除去した後、配線層35をマスクとしてエッチングを行い、全面に形成されていた密着金属層35a及び配線地下地金属層35bの不要部分を除去する。この時少しオーバーエッチングをかけるので、配線層35及び保護金属層40の厚さが薄くなるが、予めこの厚さを考慮して配線層35は形成されているので問題ない。

【0064】以上のように突起電極36を形成した後、図1(b)で示したように基板11上に樹脂17を形成する。この樹脂17は以下のように圧縮成形法により形成される。

【0065】まず所定のキャビティを有する上型・下型からなる金型内に上記突起電極を形成した各チップへ切断する前のウエハ状態である基板を載置し、PPS、PEEK、PES等の熱可塑性樹脂からなる樹脂タブレットをウエハ中央に置く。この時、金型には樹脂が付かないようにするために、フィルムを貼っておいてもよい。

【0066】次に金型を樹脂が溶融する温度まで加熱し、上型・下型のどちらかを動かしてキャビティを挟めていき、樹脂タブレットを圧縮する。加熱されて軟化した樹脂は、圧縮されながらウエハ全面に広がり、ウエハ全面に樹脂17が形成され、チップ表面及び突起電極の側面を封止する。なお、本実施例は半導体ウエハ単位で圧縮成形法による樹脂層を形成しているが、各チップ毎

に切断した後これを走ってもよい。

【0067】この圧縮成形法については、本願出願人が平成9年1月23日に出願した特願平9-10683(特願平10-79362; 米国特許出願番号: 029608)に詳細に開示されている。圧縮成形法を用いることにより、封止樹脂が圧縮成形された樹脂であるので、樹脂に離型材を混入させる必要がなく、離型材を入れることによって犠牲にしていた樹脂の特性である密着性を失わずに半導体装置の封止が可能となる。

【0068】樹脂17を圧縮成形法で形成した場合、突起電極16上にも薄く樹脂層が形成されるが、これはエッチング、機械研磨、サンドブラスト、レーザー光照射等により除去すればよい。または、上型に柔軟性のあるフィルムを貼っておき、圧縮成形時に突起電極をこのフィルムに食い込ませ、樹脂成形後にこのフィルムを剥がすことで突起電極16を露出させてもよい。以上のようなエッチバック工程により突起電極16上に形成された樹脂層を確実に取り除くことができる効果が得られる。

【0069】次に、図4に示されるように、樹脂17から露出した突起電極16上にバンプ18を形成する。バンプ18の形成方法は種々あるが、転写バンプ法やステンシルマスクを用いたスクリーン印刷法で形成すればよい。バンプの材質は、錫と鉛の合金が一般的であり、求められる特性に応じて合金の比率を変えればよい。

【0070】バンプ18を形成しなくてもチップ10を実装基板に実装できるが、バンプ18を設けることにより、実装基板側に半田を設けておく必要がなく、実装性に優れるという効果が得られる。

【0071】以上の工程により、基板上に配線層を形成して任意の位置に突起電極及びバンプを形成したウエハが完成する。ウエハ状態で上記圧縮成形により樹脂を形成したので、最終的な形状は図5に示されるように、ウエハ全面に樹脂57及びバンプ58が形成されたものとなる。なお、図5では配線層、保護層といった細かい構成は省略して描かれている。

【0072】最後にウエハはダイサーにより図5の一点鎖線部分で切断されて個々の半導体装置に分離されるが、この時基板51の側面と樹脂層57の側面とは同一平面となる。これにより、チップの大きさを小さくすることができ、チップサイズとほぼ等しいサイズのパッケージが得られる効果がある。

【0073】以上説明したように、本発明は図1

(a)、2(a)に示される配線層15が、ビア13と突起電極16とを最短で接続するように設計する事と、圧縮成形法にて樹脂17を形成する事とにより、配線層15が樹脂成形時に流動する樹脂から受ける圧力が最小になり、配線層が断線する可能性を最小にすることができ、効果が得られる。逆にいえば、配線層の長さが最小に設計されているので、樹脂の流動性を向上させることができ、樹脂17中にボイドが発生するのを防ぐことがで

きる効果が得られる。これら2つの効果は、圧縮成形法を用いたことによるプロセス上の効果だが、本実施例は、配線層を用いてチップ上の任意の位置に突起電極を形成するチップにおいて、配線層の長さを最短に設計することにより、配線層の断線を招くことなくチップ表面を樹脂で封止することを可能とするものであり、上記プロセス上の効果以外にも、圧縮成形法による樹脂を用いることにより、チップの構造としての効果もある。

【0074】さらに本実施例では、チップ内の電子回路の任意の場所に外部からの信号を入力・出力できるので、上述した本実施例の突起電極を試験端子に応用することも容易となる。本実施例は多端子化に適しているので、通常の半導体装置では形成されることのない試験端子も容易に形成できる。

【0075】また、半導体装置の集積度が高くなると配線層の幅も狭くなり、プローバの端子を接触させてのチェックができなくなるが、本実施例によれば、任意の点に引き出してチェックできるためその効果は大きい。特に集積度が大規模なものになると試験時間も長くなるが、本実施例を用いればチップ内の回路をある信号の流れに沿って分割したり、機能ブロック単位での試験が可能となるため、試験時間を短縮できる効果もある。

【0076】さらに、本実施例を用いれば不良解析も容易となる。本実施例によればチップ内の電子回路の信号を途中の段階で、その値をチェックできるので、不良箇所を特定しやすい効果もある。

【0077】特に、本実施例が効果を発揮するのは、最終製品状態でのチェックが可能となる点である。通常の半導体装置では、最終製品で信号の途中の段階の値をチェックしようすると封止樹脂や保護層を精度よく除去する必要があり、さらに極めて細い配線層にプローバを電氣的にコンタクトしてチェックする必要がある。これは一点だけ行うのも難しいので、多点を行うのはほとんど不可能である。本実施例を用いれば、数枚の試験用マスクを用意すれば、最終製品に近い状態での試験が容易にできる。もちろん、予め試験端子を所定の位置に設けておけば効率的にこの試験を行うことができる。チップ内の回路の規模が大規模な半導体装置になると、設計したチップが正常に動作するまでに何度もバグのないことを確認する必要があり、不良解析がどれだけ効率的にできるかが工程短縮、納期短縮の鍵となっている。本実施例を用いれば、入力・出力端子を空間的にも機能的にも任意の位置に配置できるため、チップの設計の自由度が高くなる効果もある。

【0078】以下に第1実施例の変形例を説明する。

【0079】図6(a)、(b)は本発明の第2実施例を示す図であり、図6(a)は、図1に示される実施例の突起電極16に相当する部分を銅からなるテーブリード66に代えて構成した場合の実施例である。その他の構造は図1のものと同様であり、基板61内に形成され

た内部配線層62に接続するビア63が基板上の適当な位置に設けられ、このビア63に配線層65が接続されている。図1の実施例ではこの配線層上に突起電極が設けられたが、本実施例では配線層にテーブ68上に形成された銅リード66を接続している。

【0080】以上の構成により、バンパを用いている図1の実施例に比べ、テーブリードを用いて最終的にチップから配線を引き出しているため、リードピッチを30μm程度と小さくできる効果がある。

【0081】図6(b)は、図6(a)に示される実施例の配線層65とリード66との間に金で構成された接続用異種材料層を設けたものであり、飛び出した余分なリードがチップ上でショートしないという効果とリード接合部のストレスを緩和する効果がある。

【0082】図7(a)、(b)は本発明の第3実施例を示す図であり、図7(a)はその平面図を、図7(b)は(a)図に示される一点鎖線での断面図を示す。本実施例では、本発明により小型化されたチップと本発明を用いないチップの2つを用いている。図7

(b)に示されるように、下側に本発明を用いないチップ72を実装基板71上に設け、半導体装置72上に本発明を用いて小型化された半導体装置73を接着層74を介して積層する。チップ73の一片の長さは、チップ72の一片の長さより短く小型なものとなっている。上部のチップ73の構成は、上述した本発明の実施例で説明したものと同一だが、突起電極を設けずに配線層75の所定の位置からワイヤにより下側の半導体装置72の電極パッド76と接続している点が前の実施例と異なる点である。なお、封止樹脂は示されていないが、ポッティング等により半導体装置72、73を封止しても構わない。

【0083】本実施例により、チップを容易に積層することができ、例えば下側のチップをロジックLSI、上側のチップをフラッシュメモリにより構成すれば、両者の機能を有する半導体装置をほぼ1チップ分の面積で実装できる効果がある。

【0084】図8は本発明の第4実施例を示す図であり、上側、下側双方とも本発明を用いた半導体装置82、83を実装基板81上に積層したものであり、両チップの回路面を向かい合わせに搭載している。上側の半導体装置83は下側の半導体装置82より一片の長さが短く、小型なものとなっている。双方の半導体装置とも本発明を用いているので、その表面には配線層が形成されており、両者の接続は双方の配線層どうしをバンパ86を用いて接続している。双方の半導体装置とも上述した実施例と同じものを用いているが、配線層の上に図1に示されるような突起電極は形成せず、半田で構成されたバンパ86を形成し、下側の半導体装置82と回路面が向かい合わせになるように、金で構成された接続用異種材料層84を介して接続されている。前述の実施例



と異なりバンプにより双方の半導体装置を接続しているので、実装した時の高さを低く抑えることができる。なお、封止樹脂は示されていないが、ポッティング等により半導体装置 82、83 を封止しても構わない。

【0085】本実施例により、異なる機能のチップをほぼ 1 チップ分の面積で実装基板に実装できるとともに、実装の高さも低く抑えることができる。

【0086】図 9 は本発明の第 5 実施例を示す図であり、図 8 に示される第 4 実施例との違いは、図 8 のものがワイヤにより実装基板 81 に接続しているのに対し、本実施例では第 1 実施例のように突起電極 96 により実装基板に接続し得る点である。突起電極 96 は、半導体装置 92 で覆われていない半導体装置 91 上の配線層 95 上に設けられている。本実施例の製造方法は、下側の半導体装置 91 の上に上側の半導体装置 92 をバンプ 94 を介して接続した後、半導体装置 91、92 が一体となったウエハ状態のものを第 1 実施例にて説明したものと同一金型内にセットし、圧縮成形法を用いて樹脂層 97 を構成する。

【0087】本実施例により、異なる機能のチップを積層し、ほぼ 1 チップ分の面積で実装できるものを樹脂で封止して供給することができ、積層したチップの信頼性を向上させられる効果がある。

【0088】図 10 (a)、(b) は本発明の第 6 実施例を示す図であり、第 1 実施例に示される突起電極及び樹脂層を除いた構成の半導体装置 102 をワイヤ 106 により実装基板 101 に実装している。ワイヤ 106 は半導体装置 102 上の配線層 105 と実装基板 101 上の接続パッドとの間に設けられている。配線層 105 は、ワイヤがボンディングされる領域として所定の幅を有している。図 10 (a) はワイヤ 106 を直接配線層 105 に接続した場合を示し、図 10 (b) は配線層 105 上に金により構成された接続用異種材料層 104 を介してワイヤ 106 を接続した場合を示している。

【0089】本実施例により、従来のワイヤボンディング装置を利用して本発明の半導体装置を実装基板に実装することができ、樹脂層を形成するための圧縮成形機を導入しなくても本発明の半導体装置を利用できる効果がある。

【0090】上述した各実施例は適宜各々を組み合わせ使用してもよく、各実施例で説明した構成はその実施例に限られるものではない。

【0091】

【発明の効果】上述のように本発明によれば、以下ののような効果が得られる。

【0092】従来設けられていたパッドが不要となるので、パッドの面積分だけチップを小型化できるとともに、パッドの占めていた部分にトランジスタ等の素子を形成でき素子数を増加できる効果を有する。

【0093】さらに、ビアをチップ上の任意の位置に形

成できるので、突起電極とビアとを接続する配線層を最短距離で接続することができ、配線層の長さが最短なので、付加インダクタンス成分が最小になり、電気的特性を向上できる効果がある。

【0094】また、配線層が、ビアと突起電極とを最短で接続するように設計する事と、圧縮成形法にて樹脂を形成する事とにより、配線層が樹脂成形時に流動する樹脂から受ける圧力が最小になり、配線層が断線する可能性を最小にすることができる効果が得られる。逆にいえば、配線層の長さが最小に設計されているので、樹脂の流動性を向上させることができ、樹脂中にボイドが発生するのを防ぐことができる効果が得られる。これら 2 つの効果は、圧縮成形法を用いたことによるプロセス上の効果だが、本実施例は、配線層を用いてチップ上の任意の位置に突起電極を形成するチップにおいて、配線層の長さを最短に設計することにより、配線層の断線を招くことなくチップ表面を樹脂で封止することを可能とするものであり、上記プロセス上の効果以外にも、圧縮成形法による樹脂を用いることにより、チップの構造としての効果もある。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例である半導体装置を説明する図である。

【図 2】本発明の第 1 実施例と従来例とを比較する図である。

【図 3-a】本発明の第 1 実施例の製造工程を示す図である。

【図 3-b】本発明の第 1 実施例の製造工程を示す図である。

【図 3-c】本発明の第 1 実施例の製造工程を示す図である。

【図 3-d】本発明の第 1 実施例の製造工程を示す図である。

【図 3-e】本発明の第 1 実施例の製造工程を示す図である。

【図 4】本発明の第 1 実施例の半導体装置にバンプを搭載した図である。

【図 5】本発明の第 1 実施例の半導体装置のウエハ状態を示す図である。

【図 6】本発明の第 2 実施例を示す図である。

【図 7】本発明の第 3 実施例を示す図である。

【図 8】本発明の第 4 実施例を示す図である。

【図 9】本発明の第 5 実施例を示す図である。

【図 10】本発明の第 6 実施例を示す図である。

【図 11】本発明の従来技術を示す図である。

【図 12】本発明の従来技術を示す図である。

【図 13】本発明の従来技術を示す図である。

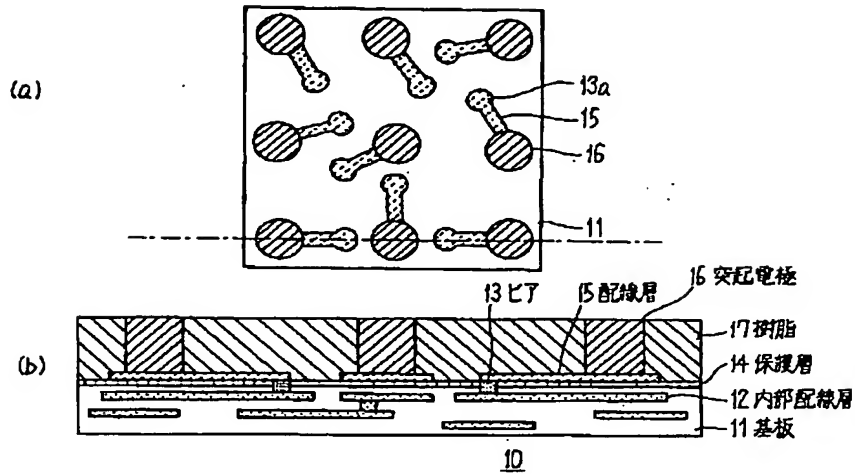
【符合の説明】

11、31、41、51、61……基板

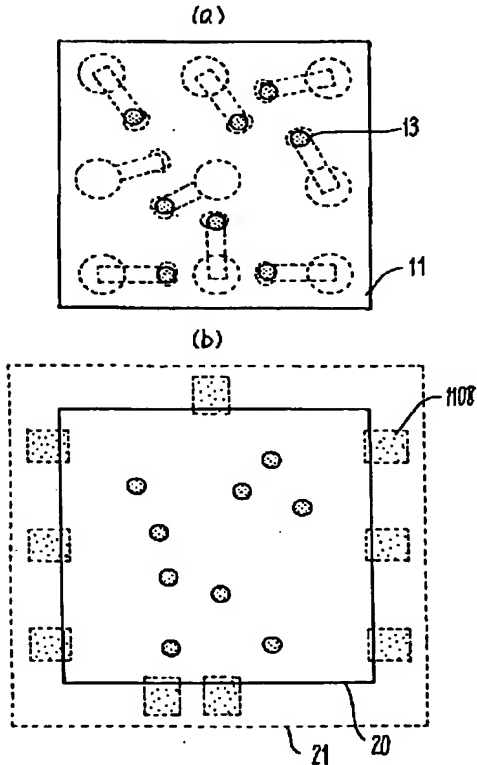
12、32、42、62……内部配線層

- 17  
 13, 33, 43, 63, 77, 87, 97, 107... \* 配線層  
 ...ビア  
 14, 34, 44, 74... 保護層  
 15, 35, 45, 65, 75, 85, 95, 105... \*
- 18  
 16, 36, 46, 96... 突起電極  
 17, 47, 57, 67... 樹脂

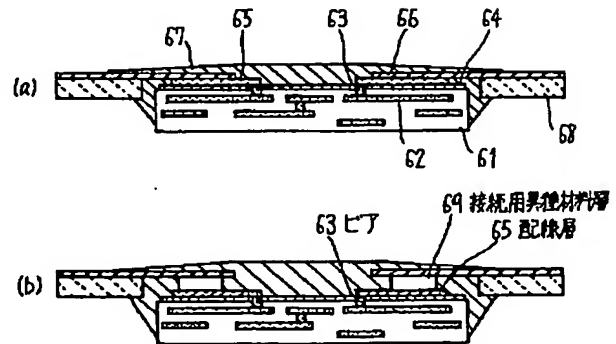
【図1】



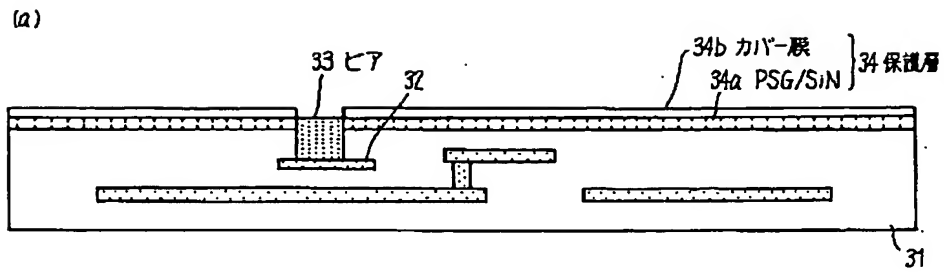
【図2】



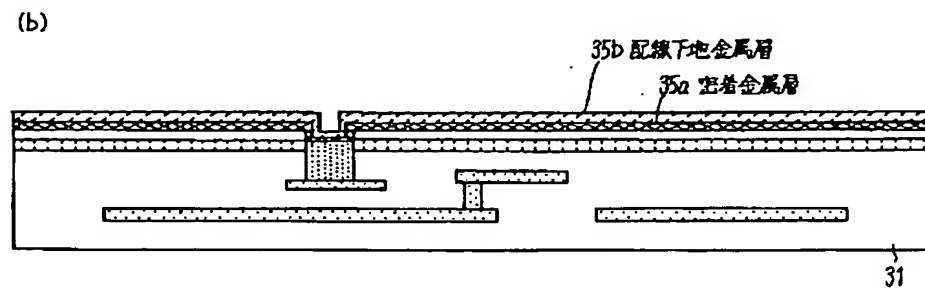
【図6】



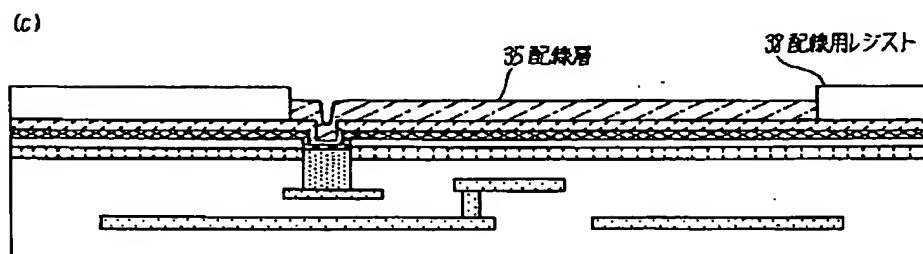
【図 3 - a】



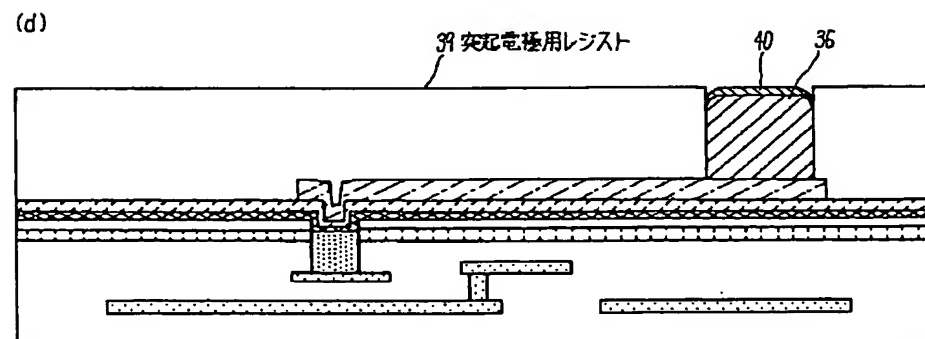
【図 3 - b】



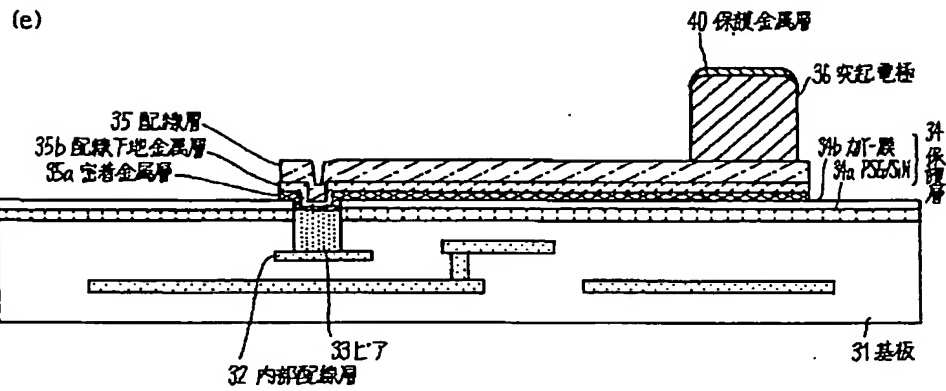
【図 3 - c】



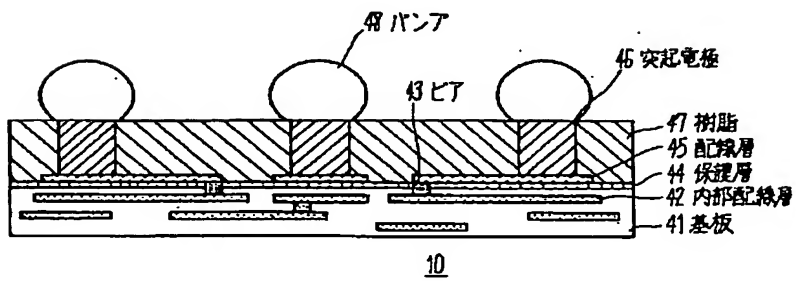
【図 3 - d】



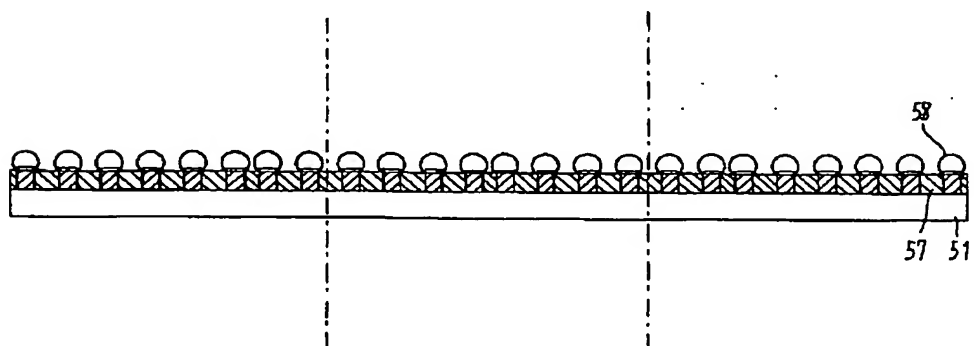
【図3-e】



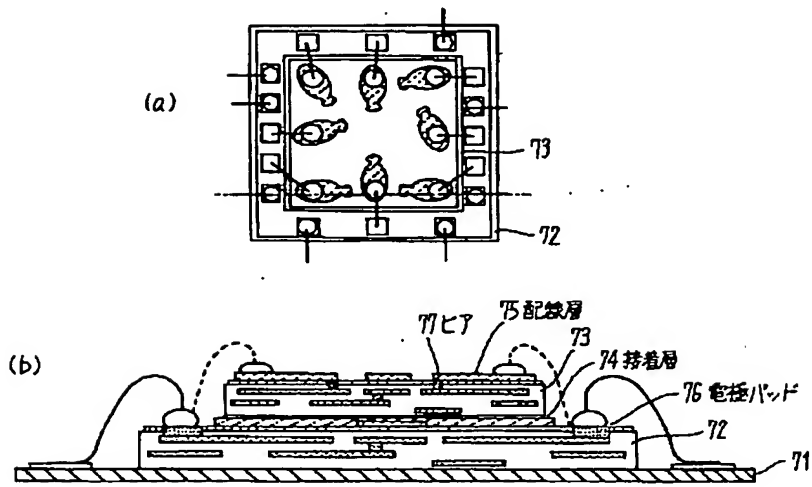
【図4】



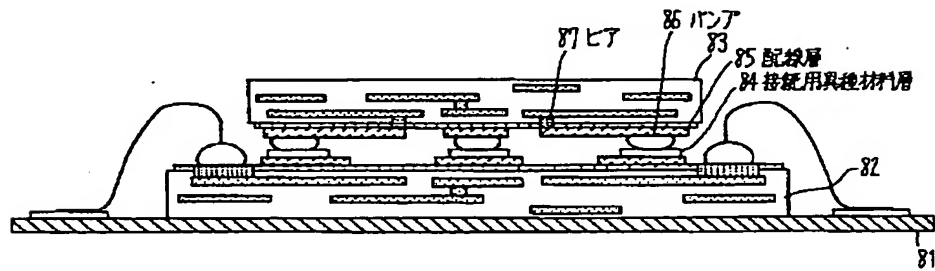
【図5】



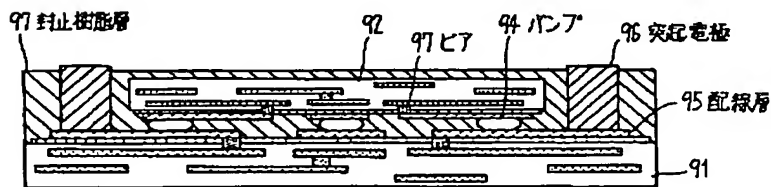
【図 7】



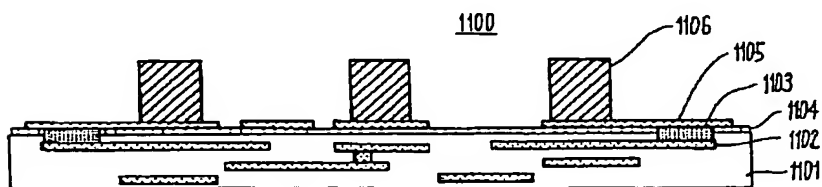
【図 8】



【図 9】

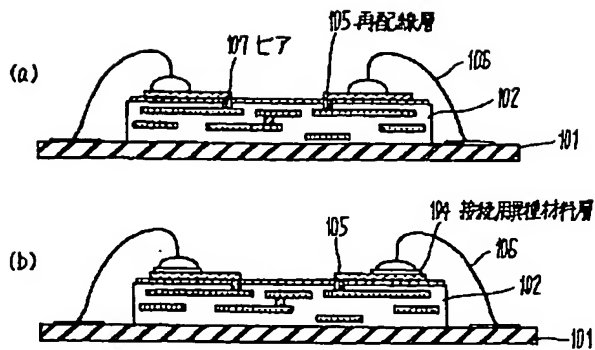


【図 12】

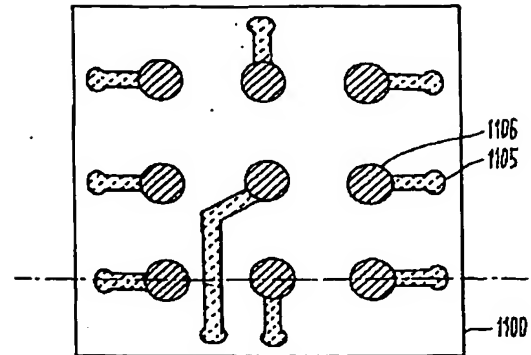




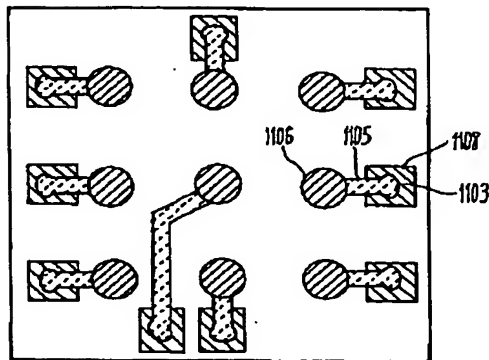
【図 10】



【図 11】



【図 13】



フロントページの続き

(51)Int.Cl.<sup>7</sup>H 0 1 L 25/07  
25/18

識別記号

F I

H 0 1 L 25/08

テーマコード (参考)

B

(72)発明者 新聞 康弘  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(72)発明者 米田 義之  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(72)発明者 深澤 則雄  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(72)発明者 濱中 雄三  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(72)発明者 永重 健一  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(72)発明者 穂積 孝司  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

F ターム (参考) 4M109 AA01 BA03 CA26 DB11  
5F061 AA01 BA03 CA26